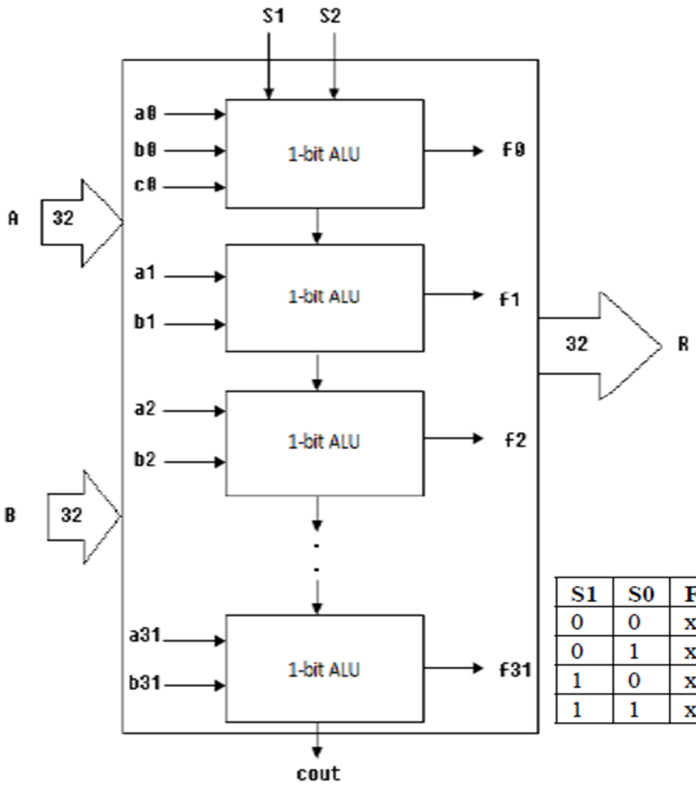
طراحی و آنالیز ALU 32 بیتی بر مبنای FPGA ها با استفاده از گیت های برگشت پذیر

معرفی ایده و تعریف مساله

یکی از مهمترین بخش های موجود در هر CPU ، واحد حساب و منطق میباشد که در گوشی های همراه و ماشین حساب ها و ... جز جدا نشدنی است. بنابر گسترش نیاز های حسابی ، طرح ها و ایده های بسیاری برای بهینه سازی های زمان و انرژی محور ارایه میشود. اکثر پردازنده های کنونی دارای واحد مجزا برای اعمال حسابی ساده دارند ، بعلاوه از حافظه های یک پارچه (Cache) هم برای بهبود سرعت بهره می برند. تلاش این مقاله، متکی بر معرفی بلوک های کاربردی بهینه می باشد. با سیر کنونی ALU ها به سمت کوچکتر و سریع تر شدن واحد ها تلاش برای دست یابی به مصرف انرژی کمتر امری اجتناب ناپذیر در VLSI می باشد. چرا که در حال حاضر اگر چه ALU ها سریع تری معرفی میشوند ولی این واحد ها لزوما مصرف انرژی بهینه تری ندارند.

در سال های اخیر تلاش ها برای تولید گیت های برگشت پذیر افزایش داشته است. بنابر کار هایی که در قبلا در این حوزه انجام شده است، مشخص است که گیت های برگشت پذیر از مصرف انرژی کمتری برخورد دار هستند. لازم به ذکر است شبیه سازی این گیت ها به وسیله گیت های غیر قابل بازگشت ترانزیستوری مشخصا به نتیجه پیش بینی شده منتهی نخواهد شد چرا که این دو مفهوم انطباق ساختاری کمی دارند.

به عنوان مثال به طور معمول برای تولید یک ALU 16 بیتی از گیت های غیر قابل بازگشت استفاده میشود. این ALU ها توانایی انجام اعمال پایه ای ریاضی همچون جمع و تفریق و ... و اعمال منطقی همچون AND, OR, XOR, NAND, XNOR را دارند. جمع پر کاربرد ترین عملگر ALU میباشد بنابر این عملکرد کلیALU بسیار وابسته به روش پیاده سازی این عملگر است. عملگر های منطقی به وسیله گیت های خود پیاده سازی میشوند (مثلا AND به وسیله گیت AND).

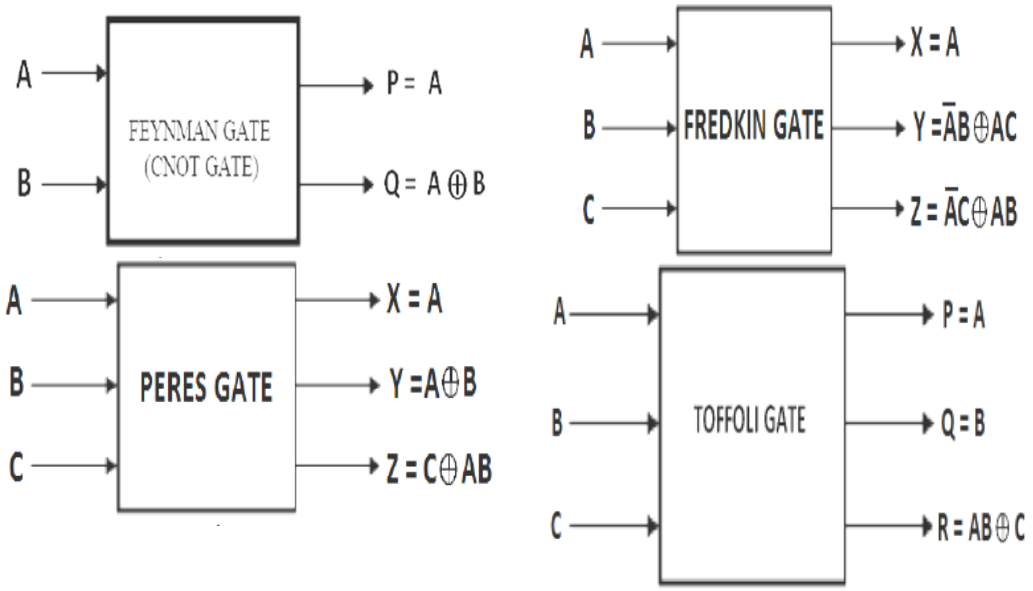


S1	S0	FUNCTION
0	0	x_i OR y_i ORc_{i-1}
0	1	x_i AND y_i
1	0	x_i OR y_i
1	1	x_i

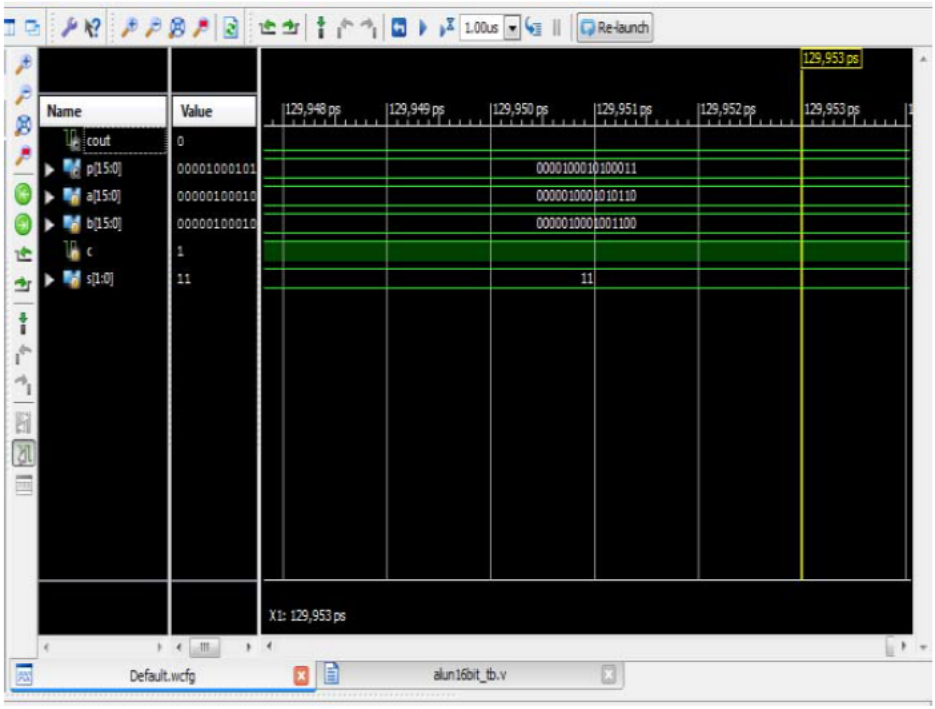
در تولید ALU به وسیله گیت های برگشت پذیر تلاش شده است تا

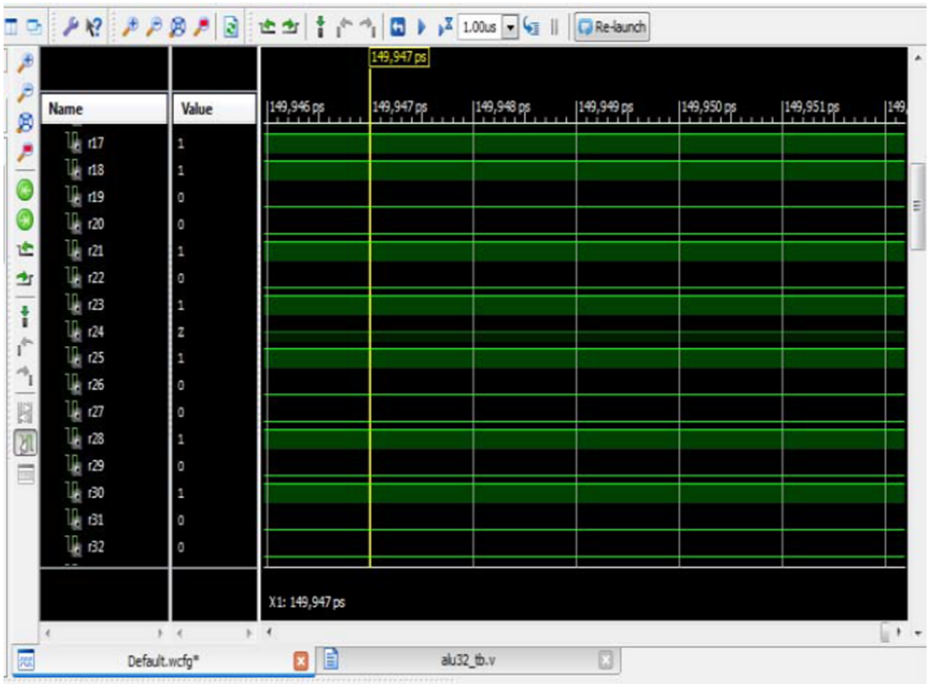
واحد حسابی تولید شود که علاوه بر اعمال پایه، منفی، توان دوم و جذر نیز در کمترین سیکل کلاک ممکن در آن قابل انجام باشد. در این مقاله به بحث موازی شده توجه شده است بنابراین به طراحی عملگر های 8 بیتی پرداخته شده است و سپس برای افزایش حجم بیت ها با تکرار این عملگر ها به صورت موازی با یکدیگر پیاده سازی شده است. در این مدل برای انجام جمع و تفریق واحدی مشترک در نظر گرفته شده است که در آن تفریق به وسیله مکمل دوم اعداد پیاده سازی شده است.

گیت های مورد استفاده در این مدل به شرح زیر است: گیت Feynman که دو خروجی و دو ورودی دارد و هزینه کوانتومی آن برابر با یک است. این گیت به دلیل هزینه پایین و خروجی XOR آن بسیار مورد استفاده قرار می گیرد. گیت PERES که یک گیت 3X3 می باشد و به خاطر خروجی های آن می توان از آن به عنوان یک نیم جمع کننده استفاده کرد. هزینه کوانتومی این گیت 4 میباشد. سایر گیت های استفاده شده در این مدل ، گیت TOFFOLI و FREDKIN می باشندکه هزینه کوانتومی هر دو آن ها 5 میباشد.



یکی از روش های کاهش مصرف انرژی در پردازنده های جدید استفاده از گیت های برگشت پذیر میباشد. این گیت ها اتلاف انرژی کمتری نسبت به گیت های غیر قابل بازگشت دارند. به علاوه استفاده از گیت های برگشت پذیر تاخیر در پاسخگویی در ALU را نیز بهبود بخشید و از 2,266 نانو ثانیه به به 1,907 نانو ثانیه تقلیل داد. اتلاف انرژی نیز از 0,312 میلی وات در گیت های غیر قابل بازگشت به 0,261 میلی وات در گیت های برگشت پذیر تبدیل شد. همچنین استفاده از مدل برگشت پذیر صرفا منجر به اشغال 7 درصد از فضای چیپ مورد استفاده شده است که تاکید بر عملی بودن استفاده از این گیت ها دارد.





کار های آینده در امتداد این مقاله استفاده از مدل پایپ لاین در این معماری RISC می باشد که قطعا منجر به افزایش سرعت در این مدل خواهد شد. همچنین تمرکز بر ساختن ALU متناسب با برنامه های خاص منظوره می تواند زمینه مهم برای استفاده از این واحد ها باشد. از آنجایی که افزایش تعداد بیت ها باعث ایجاد

فاصله بسیار در گیت های بازگشت پذیر و غیر قابل بازگشت شد، استفاده از خانواده دیگری از FPGA ها احتمالا می تواند باعث بهبود نتایج بدست آمده شود.

از نقاط ضعف این مقاله می توان به عدم اشاره به استفاده از متد های گرما سنجی و اتلاف انرژی در گیت های برگشت ناپذیر پرداخت. واضح است که معمولا از فرمول kBTln2 که توسط Landauer معرفی شد استفاده شده است ولی اشاره ای به آن نشده است.