بنام حضرت دوست

نام دانشجو : نوید شکوهی نیمسال : اول ۱۳۹۹-۱۴۰۰

نام استاد : سرکار خانم دکتر جاسبی

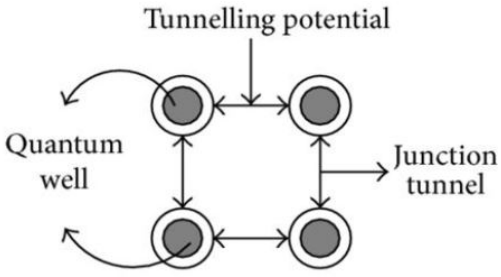
عنوان مقاله :

An Efficient Quantum-Dot Cellular Automata Full Adder Based on a New Convertible ۷-Input Majority-Not Gate

طراحی تمام جمع کننده بهینه اتوماتای سلول کوانتومی (QCA) بر اساس یک درگاه قابل تبدیل ۷ ورودی Majority-Not Gate

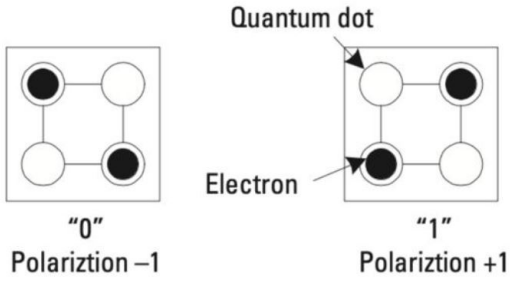
تعریف مسئله و هدف اصلی مقاله:

اتوماتای سلولی[1] یک مدل از ریاضیات گسسته است که شبکه ای منظم از سلول ها را حالتی مشخص قرار می دهد. بعنوان مثال حالت هایی مانند روشن و خاموش. همچنین هر سلول دارای چندین سلول همسایه است. با تخصیص یک حالت مشخص به هر سلول و سپس تغییر در رفتار سلول های مجاور در گذر زمان ، حالت اولیه سلول دستخوش تغییر به مقادیر از پیش درنظر گرفته شده می شود. این مفهوم سالهای پایانی قرن نوزدهم بر پایه مکانیک کوانتومی و بمنظور بکارگیری در فناوری نانو به بلوغ رسید و ایده سلولهای اتوماتای نقطه کوانتومی[2] شکل گرفت. در ادامه تصاویری از سلول های مورد استفاده در این مفهوم آمده است.



تصویر ۱ - سلول نقطه-کوانتومی

[1] Cellular Automata
[2] Quantum-dot Cellular Automata

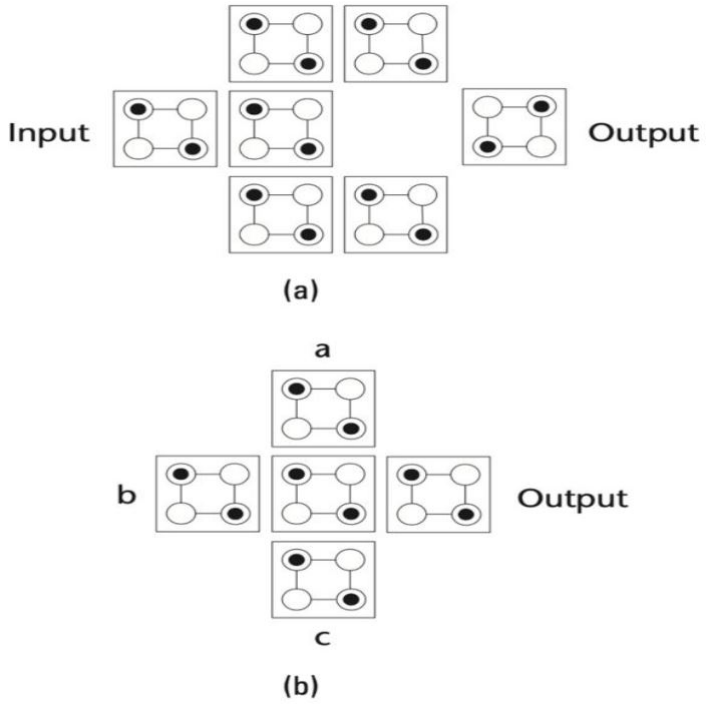


تصویر ۲ - حالت های قطب دهی شده به سلول ها

در QCA سلول های مورد استفاده تلفیقی هستند از سلول های اتوماتای سنتی که با کوانتوم-نقطه ها تجمیع شده اند تا محاسبات کوانتومی را انجام دهند. این سلول ها در سال ۱۹۹۷ به مرحله ساخت رسیدند. این فناوری کمک کرد تا ابزار هایی در مقیاس نانو ساخته شود که علاوه بر این ویژگی ابعاد ، با مصرف توان بسیار پایینتر توانایی تغییر حالت بسیار بالایی در مقیاس تراهرتز داشته باشند. هر سلول QCA همانطور که در تصویر شماره ۱ قابل مشاهده است دارای ۴ مقر و ۲ الکترون آزاد است که می توانند در این ۴ مقر جابجا شوند. با توجه به اینکه این دو الکترون می بایست بیشترین فاصله را داشته باشند ۲ حالت پولاریته برای سلول های QCA متصور است که در تصویر شماره ۲ قابل مشاهده است. این پلاریته ها حالت های ۰ و ۱ منطقی را پدید می آورند. در مقایسه با الکترونیک استاندارد که جریان برای انتقال داده ها مورد استفاده قرار می گیرد ، QCA با تغییر قطبیت سلول ها و اثر بر روی سلول های مجاور و در نتیجه تغییر حالت سلول ها ، فرآیند انتقال داده ها انجام می پذیرد.

دو نمونه از معروفترین گیت های ساخته شده با QCA عبارتند از معکوس کننده[۳] و درگاه اکثریت[۴]. شکل شماره ۳ نشان دهنده ساختار این دو گیت است.

[3] Inverter
[4] Majority Voter



تصویر ۳ – (a) معکوس کننده

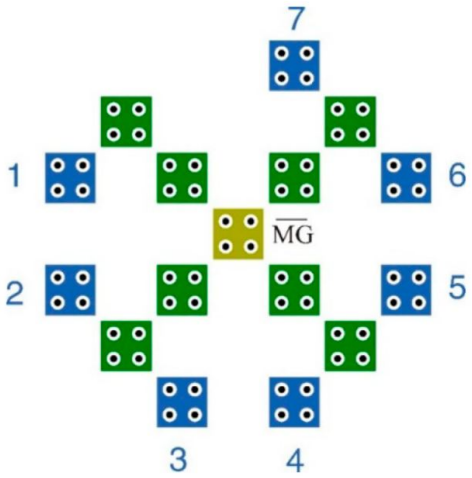
(b) انتخاب کننده اکثریت

در این مقاله به نوع خاصی از مدارت با عنوان جمع کننده های بر پایه درگاه اکثریت[5] ، پرداخته شده است. بر خلاف فناوری های بر پایه ترانزیستور ، QCA یک راهکار بر پایه انتخاب اکثریت است و رهیافت های متعددی تا کندن برای سلول های جمع کننده بر همین اساس پیشنهاد شده است. برخی از آنها از معماری تک لایه و برخی از آنها از معماری چند لایه استفاده کرده اند. گرچه در برخی موارد یک لایه تنها برای اتصال ورودی ها به مدار استفاده شده است. طی بررسی های صورت گرفته از سوی نگارنده مقاله با بررسی سه طرح متفاوت پیشنهادی پیشین سه نمونه از آنها بمنظور یافتن بهینه ترین آنها بررسی شد و در نهایت مرجع شماره ۱۱ مداری بود که با بهینه سازی های صورت گرفته تنها یک درگاه اکثریت ۵ ورودی و یک درگاه اکثریت ۳ ورودی و یک معکوس کننده نیاز داشت.

توضیح راه حل پیشنهادی مقاله برای حل مسئله:

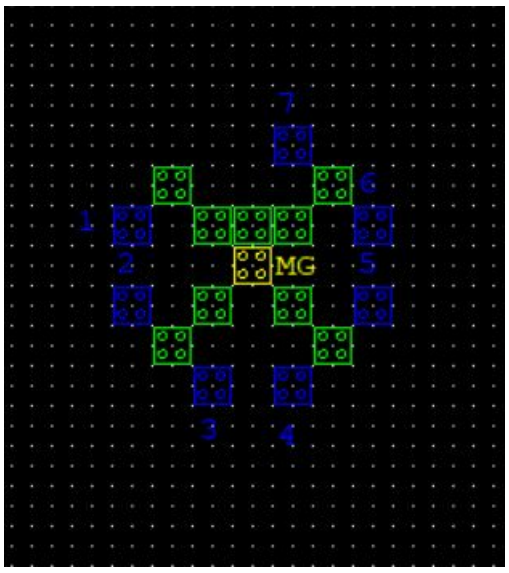
در این مقاله یک درگاه اکثریت ۷ ورودی-نات پیشنهاد شده است که در تصویر ۴ نمایش داده شده است.

[5] Majority Gate-Based Addess



تصویر ۴ – طرح پیشنهادی معکوس-اکثریت ۷ ورودی

طرح پیشنهادی با استفاده از ۱۶ سلول و در فضای ۰.۰۲ μ^2 پیاده سازی شده است. چیدمان مناسب در کنار خروجی قرار گرفته در مرکز طرح ، اثری منحصر به فرد خلق کرده است. در نتیجه همه ورودی ها و سلول های بیرونی اثری یکسان بر سلول درونی دارد. نکته حائز اهمیت این است که تنها با قرار دادن یک سلول در بالای سلول مرکزی می توان این طرح را به درگاه اکثریت ۷ ورودی[6] تغییر داد. این طرح در تصویر شماره ۵ قابل مشاهده است.

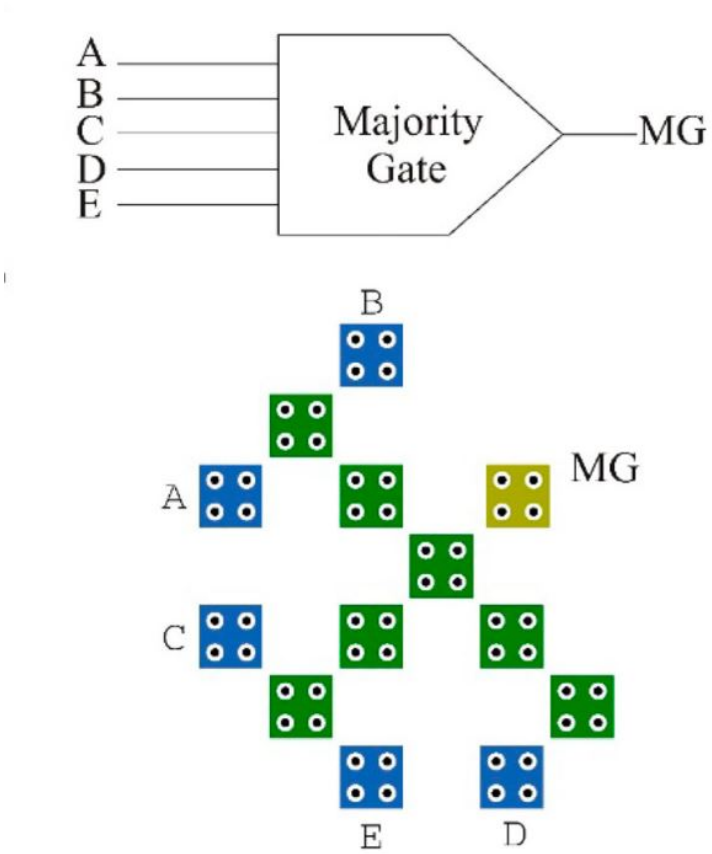


[6] 7-input Majority Gate

تصویر ۵ – طرح درگاه اکثریت ۷ ورودی

(این طرح توسط نگارنده مقاله قرار نگرفته بود و شخصا آن را اضافه کردم.)

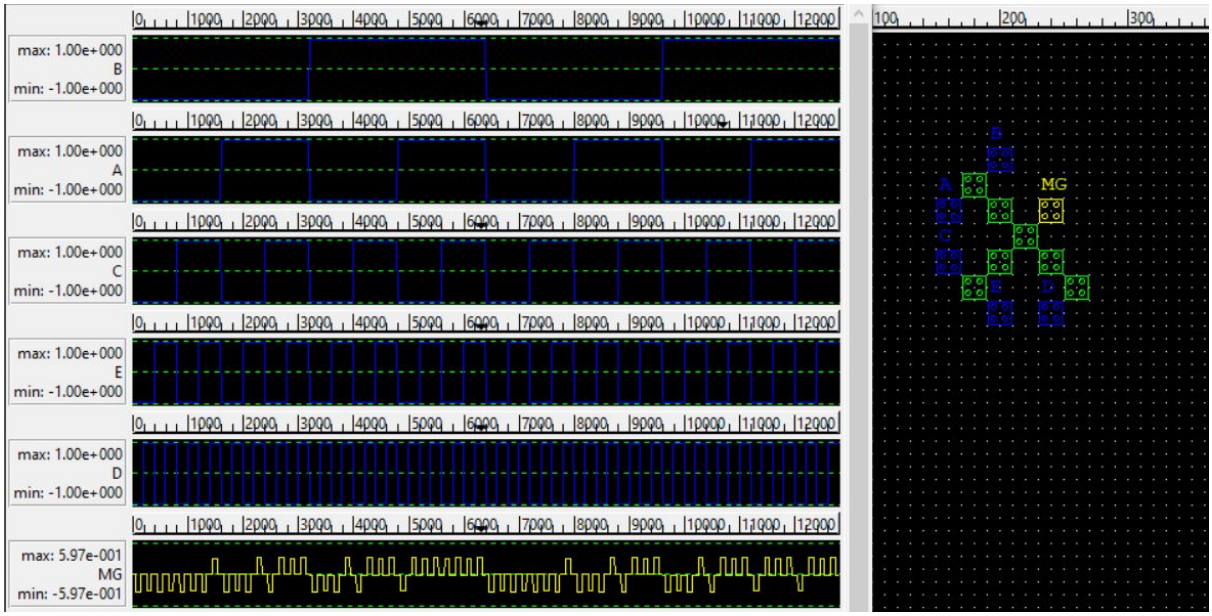
ایده اصلی پشت این طراحی چیدمان بسیار بهتری برای مدار های جمع کننده بود که تا پیش از این تنها به درگاه های اکثریت ۳ ورودی و به مدت دو دهه محدود شده بودند. این طراحی همچنین از نسخه های پیشین ساده تر و در عین حال سریعتر خواهد بود. همچنین می توان طرح پیشنهادی را با کاهش دو ورودی به درگاه معکوس اکثریت ۵ ورودی تبدیل کرد. (البته محل خروجی نیز به سلول بالا – سمت راست تغییر کرده است که در متن مقاله اشاره نشده است.) این طرح در تصویر شماره ۶ نمایش داده شده است.



تصویر ۶ – طرح پیشنهادی درگاه اکثریت ۵ ورودی بر اساس طرح ۷ ورودی

در تصویر شماره ۷ مقایسه ای بین طرح پیشنهادی درگاه اکثریت ۵ ورودی و طرح های پیشین صورت گرفته است که برتری آن در برخورداری از ۴ ویژگی است: دسترسی همزمان هم به سلول های ورودی و هم سلول های خروجی در کنار تعداد سلول و فضای پیاده سازی کمتر.

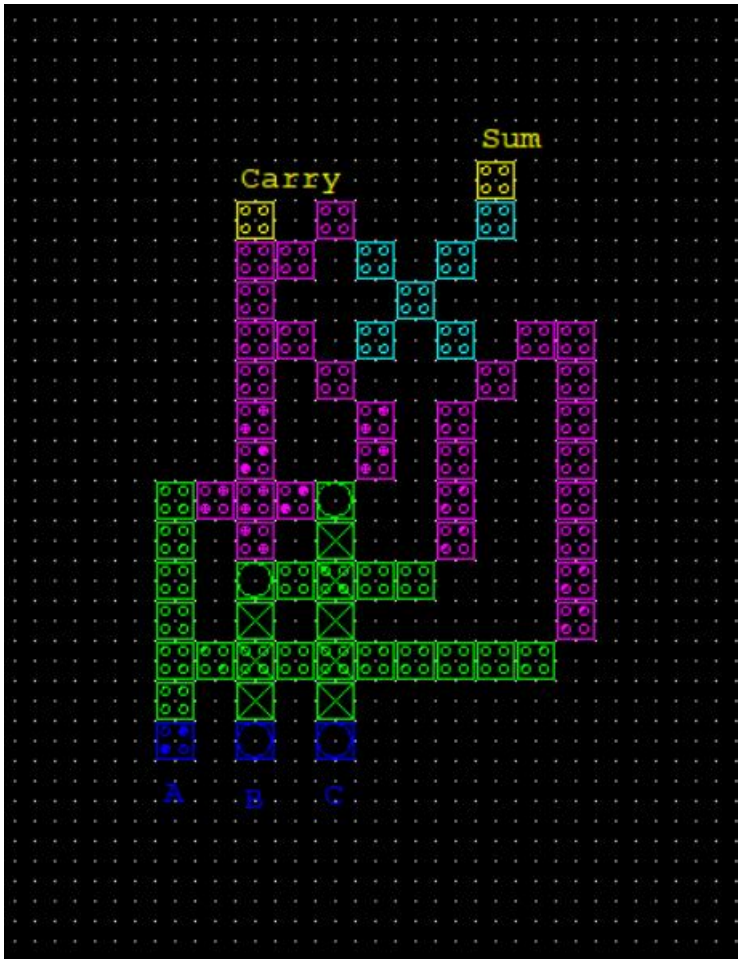
تصویر شماره ۸ حاوی خروجی شبیه سازی مدار درگاه اکثریت ۵ ورودی در نرم افزار QCA Designer نسخه ۲.۰.۳ می باشد.



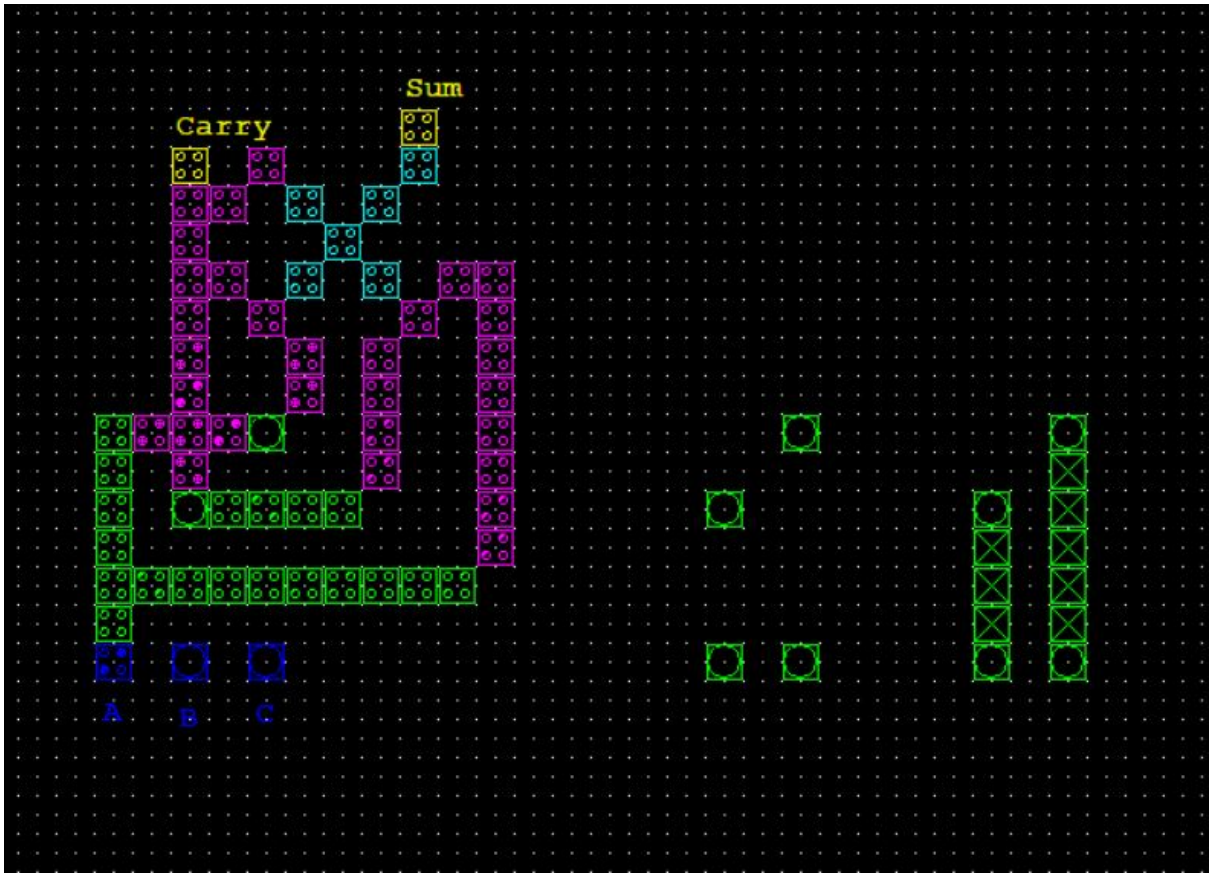
تصویر ۸ – خروجی شبیه سازی مدار درگاه اکثریت ۵ ورودی

مدار پیشنهادی تمام جمع کننده بر اساس درگاه اکثریت ۵ ورودی

در این طراحی که در ۳ لایه پیاده سازی شده است ، تمامی محاسبات در لایه اول انجام می پذیرد و لایه دوم و سوم تنها برای انتقال ورودی ها مورد استفاده قرار گرفته اند. تصویر شماره ۹ حاوی شمای کلی مدار ۳ لایه و تصویر شماره ۱۰ حاوی لایه ها به تفکیک می باشد.

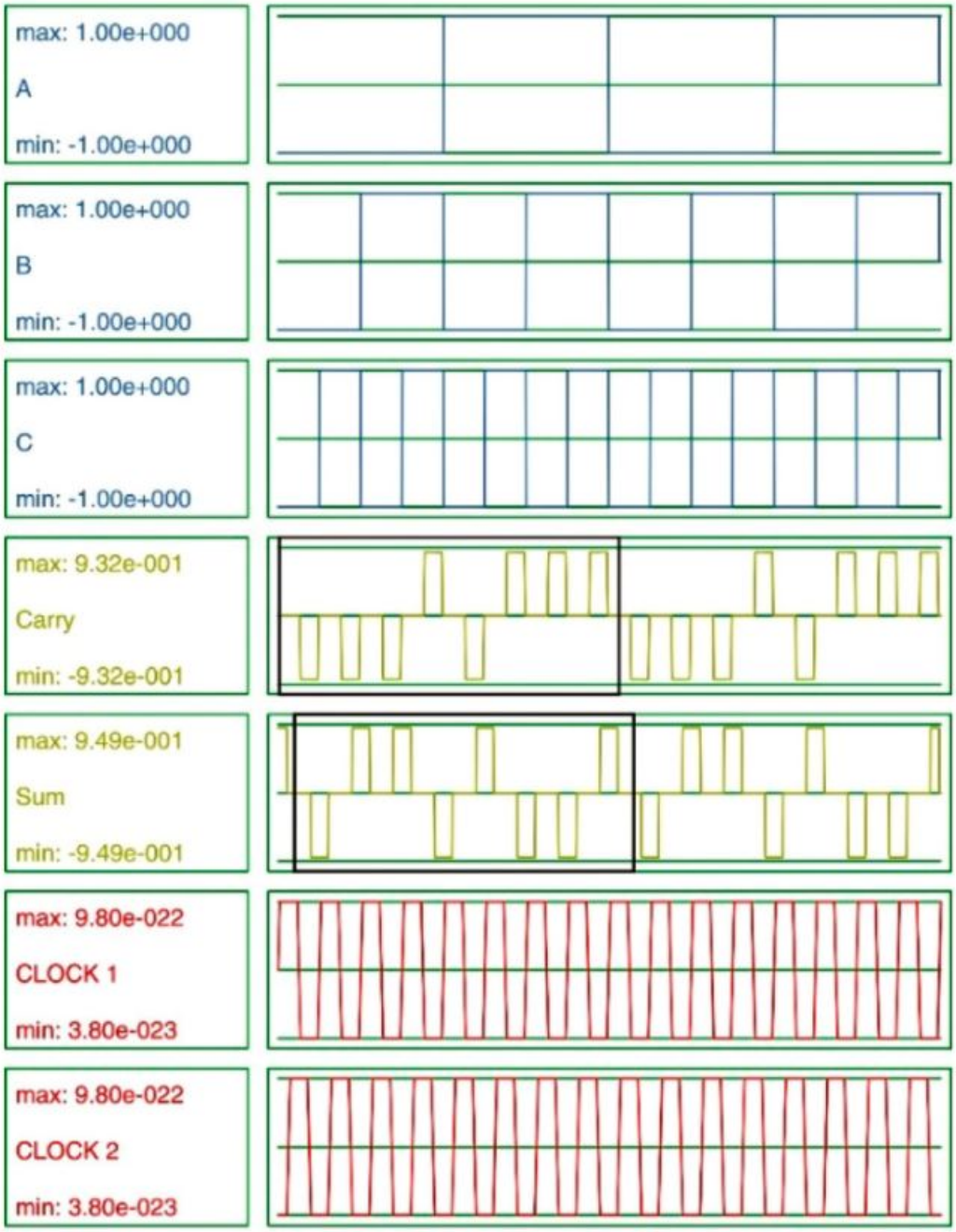


تصویر ۹ - شمای طرح پیشنهادی تمام جمع کننده



تصویر ۱۰ – شمای تفکیک شده لایه های طرح پیشنهادی تمام جمع کننده

تصویر شماره ۱۱ حاوی خروجی شبیه ساز مدار تمام جمع کننده پیشنهادی در ابزار QCA Designer است.



تصویر ۱۱ – خروجی شبیه ساز مدار پیشنهادی تمام جمع کننده

همچنین مقایسه ای بین مدار های تمام جمع کننده یک لایه و همچنین مدارات تمام جمع کننده چند لایه ای که مدار اصلی در یک لایه قرار گرفته بود (مشابه مدار مورد بحث در این مقاله) صورت گرفته است که در تصویر شماره ۱۲ قابل مشاهده است.

Table 4: Comparison result between the full adders

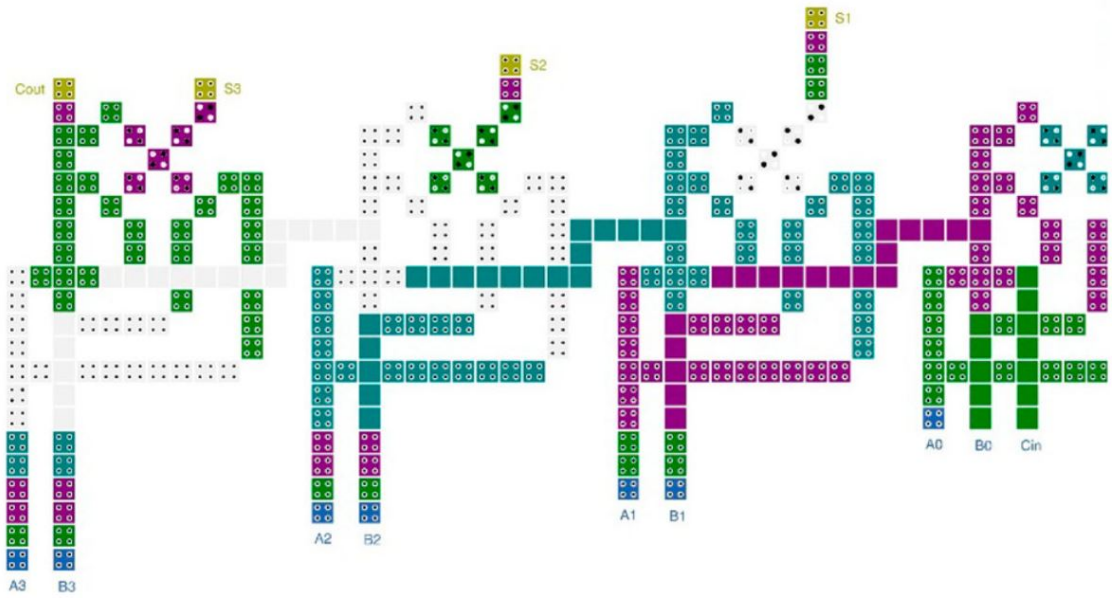
Full adder layouts	Area (μm^2)	Complexity (cells)	Latency (clock cycle)
Proposed	0.06	78	0.75
In [27]	0.05	63	0.75
In [16]	0.05	79	1.75
In [17]	0.10	86	0.75
In [18]	0.10	108	1
In [31]	0.04	59	1
In [9]	0.09	95	1.25
In [19]	0.17	145	1.25
In [32]	0.62	292	3.5
In [1]	0.2	190	Not applicable

تصویر ۱۲ – مقایسه بین مدار های تمام جمع کننده

همانطور که در تصویر شماره ۱۲ قابل مشاهده است مدار های ارائه شده در مراجع شماره ۲۷ و ۱۷ در کنار مدار پیشنهادی این مقاله کمترین تاخیر را بین ورودی و خروجی دارا بوده همچنین تعداد سلول های بکار گرفته شده در مدار فوق بجز طرح های ۲۷ و ۳۱ دارای کمترین تعداد است.

در پایان و بمنظور اثبات کارایی مدار تمام جمع کننده پیشنهادی ، یک مدار جمع کننده با بیت نقلی پله ای [۷] طراحی کردیم که تا ۱۶ بیت را پشتیبانی می کند. تصویر شماره ۱۳ بکارگیری یک مدار RCA ۴ بیتی را که از ۴ تمام جمع کننده تک بیتی تشکیل شده است نمایش می دهد. در اولین لایه A_3-A_0 ، B_3-B_0 و C_{in} با تبعیت از چهارچوب های همگام بودن ، به مدار وارد شده و خروجی ها با عناوین C_{out} و S_3-S_0 برچسب گذاری شده اند. متاسفانه بدلیل محدودیت های فضا امکان نمایش مدار های ۸ و ۱۶ بیتی وجود ندارد. اگرچه با بسط آبشاری[۸] تمام جمع کننده های ۸ و ۱۶ بیتی این مهم به راحتی ممکن می شود.

[7] Ripple Carry Adder (RCA)
[8] Cascade



تصویر ۱۳ – شمای QCA مدار جمع کننده با بیت نقلی پله ای ۴ بیتی بر اساس جمع کننده پیشنهادی

در تصویر شماره ۱۴ مقایسه ای بین RCA های مقالات گذشته در مقایسه با RCA ارائه شده در این مقاله صورت گرفته است.

Table 5: Comparison results of ripple carry adders (RCAs)

Layouts	No. of bits	Area (μm^2)	Complexity (cells)	Latency (clock cycle)
Proposed	4	0.52	361	1.5
	8	1.12	782	2.5
	16	2.41	1648	4.5
In [23]	4	–	–	–
	8	0.74	712	2.75
	16	1.99	1602	4.75
In [16]	4	0.29	308	2
	8	0.79	695	3
	16	2.51	1759	5
In [17]	4	0.40	371	6
	8	0.94	789	10
	16	2.45	1769	18
In [28]	4	–	–	–
	8	1.13	1606	2
	16	2.66	3587	3
In [33]	4	0.85	558	5
	8	2.93	1528	9
	16	10.85	4652	17

تصویر ۱۴ – مقایسه نتایج مدار های RCA

همانطور که درتصویر قابل مشاهده است RCA ارائه شده در این مقاله از تمامی مدارات ارائه شده پیشین برتر است . البته در خصوص مدار پیشنهادی در مرجع شماره ۱۶ ، هر چند تعداد سلول های مورد استفاده کمتر است ، لیکن زمان تاخیر در RCA پیشنهادی این مقاله کمتر می باشد.

جمع بندی و تحلیل مقاله:

با بررسی تصویر شماره ۱۲ شاید این اشتباه حادث شود که اگر مدار پیشنهاد شده در مرجع شماره ۲۷ می تواند با تعداد سلول کمتر و فضای پیاده سازی کوچکتر ، همان زمان تاخیر مدار پیشنهادی این مقاله را داشته باشد ، پس چه لزومی به پیشنهاد این مقاله بود. لیکن باید در نظر داشت که مدار پیشنهادی مرجع ۲۷ که در ژورنال Electronics Letters سال ۲۰۱۶ چاپ شده است بر اساس مدار اکثریت ۵ ورودی پیاده سازی شده است. لیکن در بخش ابتدایی این مقاله یک درگاه معکوس اکثریت با ۷ ورودی پیشنهاد شد که با تغییرات ناچیزی قابلیت تبدیل به درگاه اکثریت ۷ ورودی (

همان واژه convertible در عنوان مقاله) و همچنین درگاه اکثریت ۵ ورودی را دارد. لذا باید در نظر داشت مدار تمام جمع کننده پیشنهادی تنها یکی از چندین ره آورد درگاه اکثریت این مدار بود.

همچنین در بخش مربوط به مقایسه RCA های پیشین با مدار استفاده شده در این مقاله ، تعداد سلول های مورد استفاده در مدار مرجع شماره ۱۶ در مدار ۱۶ بیتی بیشتر از مدار پیشنهادی است که به آن اشاره نشده است. لذا در مدار ۱۶ بیتی ، برتری مطلق با مدار مورد استفاده در این مقاله است و در مدار های ۴ و ۸ بیتی ، به سبب تاخیر کمتر ، مدار پیشنهادی برتری دارد.